

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-152105

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H04N 5/44

H03J 3/20

(21)Application number : 10-322300

(71)Applicant : SONY CORP

(22)Date of filing : 12.11.1998

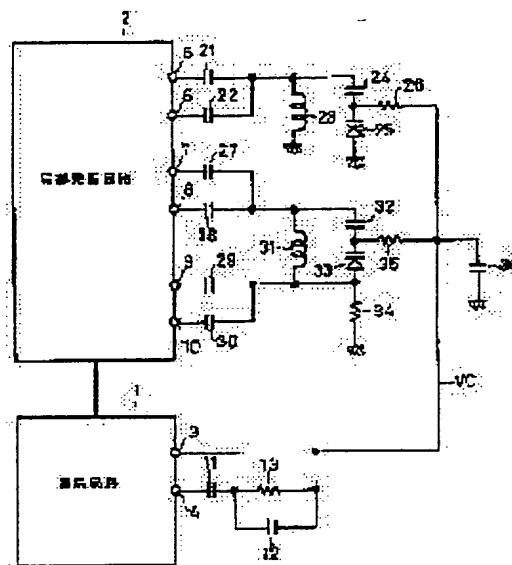
(72)Inventor : KASASHIMA YASUYUKI

(54) TUNER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce or eliminate a noise component due to a shock or vibration that gives effect on an image without revision of a structural layout relation.

SOLUTION: A low distortion capacitive element that is a bypass capacitor 36 is inserted between a supply line of a tuning voltage VC and ground, and a low distortion capacitive element is used for capacitors 11, 12 of a time constant circuit consisting of the capacitors 11, 12 and a resistor 13 that specifies an operating response of a channel selection circuit 1. Thus, a noise component caused by a shock or vibration can be suppressed, resulting in eliminating the effect of the noise component on an image.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 選局周波数に応じたチューニング電圧を形成する選局回路と、上記選局回路において形成されたチューニング電圧により可変容量素子の容量を可変させて所定周波数にて発振する局部発振回路とを有したチューナ回路において、

上記チューニング電圧の供給ラインに接続される容量素子に低歪み型の容量素子を用いることを特徴とするチューナ回路。

【請求項 2】 請求項 1 において、

上記チューニング電圧の供給ラインと接地間に挿入されるバイパスコンデンサが低歪み型の容量素子であることを特徴とするチューナ回路。

【請求項 3】 請求項 1 において、

上記チューニング電圧の供給ラインに接続され、上記選局回路の動作応答を規定する時定数回路に使用される容量素子が低歪み型の容量素子であることを特徴とするチューナ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、小型軽量の携帯型のテレビジョン受像機や VTR 等に用いて好適な打振や振動による耐ノイズ性に優れたチューナ回路に関する。

【0002】

【従来の技術】 従来の一般的なテレビジョン受像機のチューナ回路においては、アンテナにて受信された受信信号が単同調回路を介して高周波増幅回路に供給される。高周波増幅回路において、受信信号が増幅され、この増幅出力が複同調回路を介して混合回路に供給される。混合回路には、局部発振回路からの局部発振信号が供給されており、混合回路において、受信信号が中間周波信号に変換される。この混合回路の出力が中間周波増幅回路を介してチューナ回路の出力として出力端子から取り出される。

【0003】 一方、従来のチューナ回路の選局回路としては、例えば、PLL (Phase Locked Loop) 周波数シンセサイザー方式が採用されている。選局回路は、選局周波数と正確に発振する水晶発振器の発振出力に基づいて形成された基準発振周波数と、局部発振回路の発振周波数との位相を位相比較し、その差がなくなるように同調周波数と局部発振周波数とを制御するチューニング電圧を制御信号として形成し、このチューニング電圧を同調回路および局部発振回路に供給する。

【0004】 また、局部発振回路としては、例えば、バラクタダイオードを用いた VCO (Voltage Controlled Oscillator) による電子同調方式とされ、局部発振回路は、上述した選局回路からのチューニング電圧によりバラクタダイオードの逆バイアス電圧を可変させて容量を可変させ、所定周波数の局部発振信号を形成する。

【0005】 このように構成される従来のチューナ回路においては、チューニング電圧の供給ラインに接続された容量素子が回路基板上の接地箇所に近接して実装されている場合には、打振や振動が加わると容易に容量素子に振動が伝わって容量の微小な変化が発生する。一例として、チタン酸バリウムを主成分とする高誘電率セラミックコンデンサは、非セラミックコンデンサに比べて信号の波形歪みが大きい。これは、セラミック材料の結晶構造的要因による。すなわち、外部応力を加えた場合に結晶の表面に分極電荷が発生し、これがショックノイズとなる。当然、容量が変化すると、チューニング電圧が変化し、さらには、局部発振周波数の微小なズレが発生し、その周波数のズレがノイズ成分となってテレビジョン受像機の画像に影響する。このように画像にも影響を及ぼす打振や振動によるノイズ成分に対して、従来のチューナ回路においては、容量素子の位置や接地箇所の位置を移動させたりして、構造的な配置関係を検討することで対処されていた。

【0006】

【発明が解決しようとする課題】 しかしながら、上述した打振や振動によるノイズ成分に対する構造的な配置関係による対処法は、それが構造的なものによるため移動できる範囲に限界があり、また、構造的な配置関係の制約が発生すると、チューナ回路を小型化する上での阻害要因となる問題点があった。

【0007】 従って、この発明の目的は、構造的な配置関係を変更することなく、画像に影響を及ぼす打振や振動によるノイズ成分を解消することができるチューナ回路を提供することにある。

【0008】

【課題を解決するための手段】 以上の問題を解決するために、請求項 1 の発明は、選局周波数に応じたチューニング電圧を形成する選局回路と、選局回路において形成されたチューニング電圧により可変容量素子の容量を可変させて所定周波数にて発振する局部発振回路とを有したチューナ回路において、チューニング電圧の供給ラインに接続される容量素子に低歪み型の容量素子を用いることを特徴とするチューナ回路である。

【0009】 この発明では、チューニング電圧の供給ラインと接地間に低歪み型の容量素子がバイパスコンデンサとして挿入され、また、選局回路の動作応答を規定する時定数回路に低歪み型の容量素子が用いられる。このことにより、打振や振動によるノイズ成分が抑圧され、結果として画像への影響が解消される。

【0010】

【発明の実施の形態】 以下、この発明の一実施形態について図面を参照して説明する。図 1 は、この発明がテレビジョン受像機に適用された一実施形態の主要な部分の構成を示す。図 1 において 1 にて示されるのが選局回路であり、また、2 で示されるのが局部発振回路である。

なお、選局回路 1 および局部発振回路 2 のそれぞれは、IC 化されており、所定の端子 3, 4, 5~10 に外付け部品として各種インピーダンス素子を接続することで動作するように構成されている。

【0011】選局回路 1 は、例えば、PLL (Phase Locked Loop) 周波数シンセサイザ方式による電子選局を行う構成とされている。具体的には、選局回路 1 は、図示せずとも制御部からの選局周波数に対応した制御情報と正確に発振する水晶発振器の発振出力に基づいて形成された基準発振周波数と、後述する局部発振回路 2 の発振周波数との位相を位相比較し、その差がなくなるように同調周波数と局部発振周波数とを制御するチューニング電圧 VC を形成する。この選局回路 1 において形成されたチューニング電圧 VC が制御信号として端子 3 を介して取り出され、同調回路および局部発振回路 2 に供給される。

【0012】また、選局回路 1 の端子 3 には、並列接続されたコンデンサ 12 および抵抗 13 の一端が接続され、並列接続されたコンデンサ 12 および抵抗 13 の他端がコンデンサ 11 を介して端子 4 に接続されている。従って、コンデンサ 11, 12 および抵抗 13 により時定数回路が構成され、この時定数回路を介して端子 3 からのチューニング電圧 VC が選局回路 1 に取り込まれ、選局回路 1 の動作応答が規定される。例えば、選局回路 1 は、チューニング電圧 VC の形成手段としてスイッチ回路、ダイオードおよびコンデンサ等からなるチャージポンプ回路を有しており、コンデンサ 11, 12 および抵抗 13 が時定数回路として作用する。この時定数回路を構成するコンデンサ 11, 12 に低歪み型の容量素子が用いられている。一例として、チタン酸ストロンチウムを主成分とする積層コンデンサの場合、チタン酸バリウムを主成分とするセラミックコンデンサと比較して、常温付近では、完全な立方晶系となり安定しているため、外部応力を加えても、Ti, O の変位が小さく、ショックノイズが発生しにくい。かかる低歪積層セラミックコンデンサを使用することができる。

【0013】局部発振回路 2 は、例えば、バラクタダイオードを用いた VCO による電子同調方式とされ、VHF 発振部と UHF 発振部との二つの発振部にて構成されている。図 1 に示すように掃選用のコンデンサ 21, 22 と、局部発振用のコンデンサ 24、コイル 23、バラクタダイオード 25 と、抵抗 26 とにより構成される側が VHF 発振部である。局部発振回路 2 の端子 5 にコンデンサ 21 の一端が接続され、端子 6 にコンデンサ 22 の一端が接続される。コンデンサ 21 および 22 の他端が接続され、このコンデンサ 21 および 22 の共通接続点と接地間にコイル 23 が挿入されると共に、コンデンサ 24 の一端が接続される。コンデンサ 24 の他端とアノードが接地されたバラクタダイオード 25 のカソードが接続される。このコンデンサ 24 とバラクタダイオ-

ドとの接続点に抵抗 26 の一端が接続され、抵抗 26 の他端が前述した選局回路 1 の端子 3 と接続される。

【0014】一方、図 1 に示すように掃選用のコンデンサ 27, 28, 29, 30 と、局部発振用のコンデンサ 32、コイル 31、バラクタダイオード 33 と、抵抗 34, 35 とにより構成される側が UHF 発振部である。局部発振回路 2 の端子 7 にコンデンサ 27 の一端が接続され、端子 8 にコンデンサ 28 の一端が接続される。コンデンサ 27 および 28 の他端が接続され、このコンデンサ 27 および 28 の共通接続点にコイル 31 の一端が接続されると共に、コンデンサ 32 の一端が接続される。また、局部発振回路 2 の端子 9 にコンデンサ 29 の一端が接続され、端子 10 にコンデンサ 30 の一端が接続される。コンデンサ 29 および 30 の他端が接続され、このコンデンサ 29 および 30 の共通接続点にコイル 31 の他端が接続されると共に、バラクタダイオード 33 のアノードが接続され、さらに、コンデンサ 29 および 30 の共通接続点と接地間に抵抗 34 が挿入される。コンデンサ 32 の他端とバラクタダイオード 33 のカソードが接続され、このコンデンサ 32 とバラクタダイオードとの接続点に抵抗 35 の一端が接続され、抵抗 35 の他端が前述した選局回路 1 の端子 3 と接続される。

【0015】このように各素子が接続され、抵抗 26 および 35 の共通接続点と選局回路 1 の端子 3 との間にチューニング電圧 VC の供給ラインが形成されている。このチューニング電圧 VC の供給ラインと接地間には、バイパスコンデンサ 36 が挿入され、このバイパスコンデンサ 36 として低歪み型の容量素子が用いられている。

【0016】従って、局部発振回路 2 は、選局回路 1 からの制御信号 (チューニング電圧 VC) によりバラクタダイオードの逆バイアス電圧を変化させて容量を変化させ、所定周波数の局部発振信号を形成する。局部発振回路 2 において形成された局部発振信号が図示せずとも混合回路に供給される。なお、混合回路には、アンテナにて受信された受信信号が単同調回路、高周波増幅回路および複同調回路を介して供給されており、混合回路において、受信信号が中間周波信号に変換される。この混合回路の出力が中間周波増幅回路を介してチューナ回路の出力として出力端子から取り出される。

【0017】また、打振や振動が加えられた場合には、チューニング電圧 VC の供給ラインと接地間のバイパスコンデンサ 36 に低歪み型の容量素子が用いられ、また、選局回路の動作応答を規定する時定数回路に低歪み型の容量素子が用いられるため、発振周波数のズレが抑圧され、結果として画像への影響が解消され、良好な画像が表示される。

【0018】図 2 A に従来のチューナ回路に打振や振動が加えられた時の局部発振信号の様子を示し、図 2 B にこの発明によるチューナ回路に打振や振動が加えられた

時の局部発振信号の様子を示す。なお、図 2 A および 図 2 b における横軸が周期を示し、縦軸が信号レベルを示す。図 2 A に示すように従来のチューナ回路では、打振や振動が加えられた時に設定周波数に対して $+150 \text{ kHz}$ (図中 a ~ c 間) ~ -200 kHz (図中 b ~ a 間) の変動が発生する。しかしながら、この発明によるチューナ回路によれば、同一条件下において、設定周波数に対して $+40 \text{ kHz}$ (図中 a' ~ c') ~ -50 kHz (図中 b' ~ a') の変動しか発生せず、約 $1/4$ にその影響が抑制される。このように打振や振動が加えられた時に設定周波数に対する変動が抑制されるのは、機械的ストレスに対して低歪み型の容量素子の方が強く、打振や振動が加えられた際の容量変化率が小さいためである。

【0019】なお、上述した一実施形態においては、テレビジョン受像機のチューナ回路にこの発明を適用した場合について説明したが、他の機器のチューナ回路にこの発明は容易に適用することができ、特に、小型軽量の携帯型の機器にこの発明を適用した場合に効果がさらに有効となる。

【0020】

【発明の効果】この発明に依れば、所定箇所のコンデンサに低歪み型の容量素子が用いられるため、構造的な配置関係を変更することなく、画像に影響を及ぼす打振や振動によるノイズ成分を解消することができ、画質の向上を図ることができる。また、この発明に依れば、容量素子の位置や接地位置の構造的な配置関係の規制をなくすることができるため、設計時における自由度を上げることができ、小型化を図ることが可能となる。

10 【図面の簡単な説明】

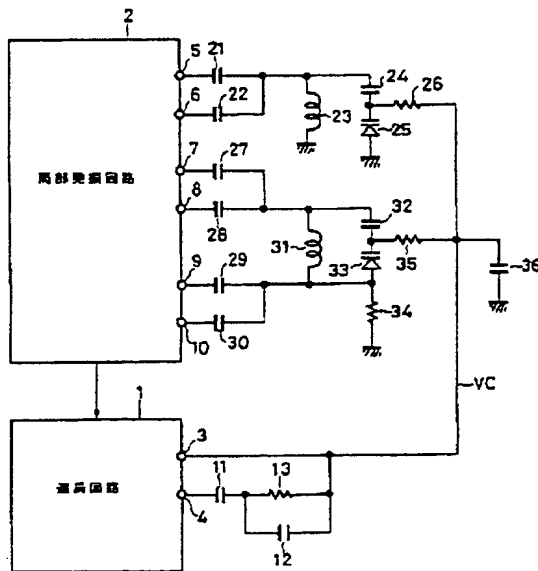
【図 1】この発明の一実施形態の主要な部分の構成を示すブロック図である。

【図 2】この発明の一実施形態の動作説明に用いる略線図である。

【符号の説明】

1・・・選局回路、2・・・局部発振回路、11, 12, 36・・・低歪み型の容量素子、25, 33・・・バラクタダイオード

【図 1】



【図 2】

